

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-203688
 (43)Date of publication of application : 09.08.1996

(51)Int.Cl. H05B 41/32

(21)Application number : 07-012498
 (22)Date of filing : 30.01.1995

(71)Applicant : MINOLTA CO LTD
 (72)Inventor : YAMAGUCHI TAKEHISA
 YOKOTA SATOSHI
 IIJIMA YASUSHI

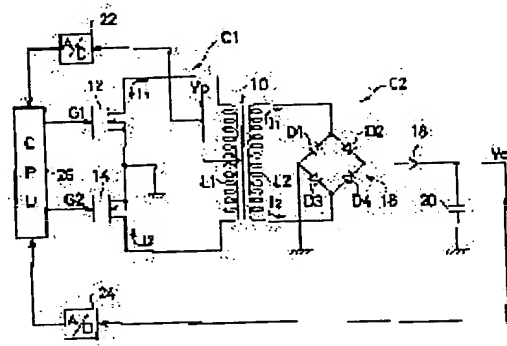
(54) FLASH CHARGING CIRCUIT

(57)Abstract:

PURPOSE: To prevent the drop of a battery voltage while shortening the charging time.

CONSTITUTION: A switch element such as FET 12 or 14 is provided on the primary coil side circuit C1 of a booster transformer 10, and a secondary current is induced in the secondary coil side circuit C2 by its ON/OFF to charge a main capacitor 20. When a battery voltage V_p is low, a CPU 26 sets the ON-time of the switch element shorter than in the case of a high battery voltage V_p , whereby the sudden drop of the battery voltage V_p is prevented. When the charging voltage V_c of the main capacitor 20 is high even with a low battery voltage V_p , the ON-time of the switching element is set longer than in the case of a low charging voltage V_c to shorten the charging time.

BEST AVAILABLE COPY



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-203688

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.⁶
H 0 5 B 41/32

識別記号 庁内整理番号
N 7361-3K

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-12498

(22) 出願日 平成7年(1995)1月30日

(71) 出願人 000006079

ミノルタ株式会社

大阪府大阪市中央区安土町二丁目3番13号

大阪国際ビル

(72) 発明者 山口 武久

大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(72) 発明者 横田 聡

大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

(72) 発明者 飯島 康司

大阪市中央区安土町二丁目3番13号 大阪

国際ビル ミノルタ株式会社内

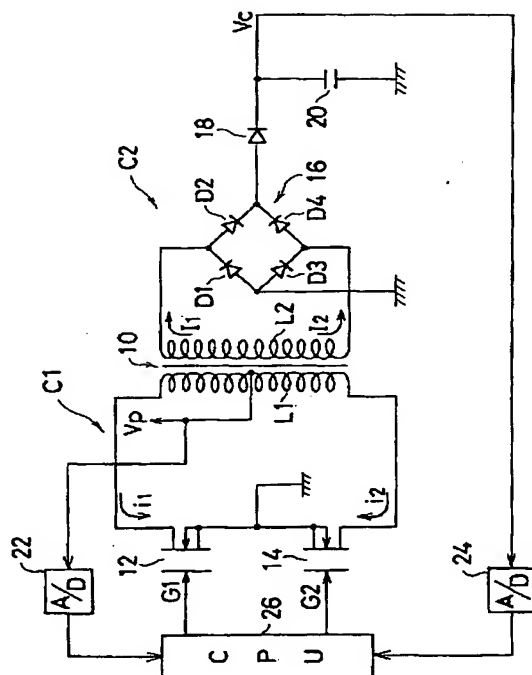
(74) 代理人 弁理士 小谷 悦司 (外3名)

(54) 【発明の名称】 フラッシュ充電回路

(57) 【要約】

【目的】 充電時間の短縮を図りながら電池電圧の落ち込みを防ぐ。

【構成】 昇圧トランス10の一次コイル側回路C1にFET12, 14等のスイッチ素子を設け、そのオンオフにより二次コイル側回路C2に二次電流を誘起し、メインコンデンサ20に充電する。CPU26は、電池電圧 V_p が低い場合には電池電圧 V_p が高い場合よりも上記スイッチ素子のオン時間を短くし、これにより電池電圧 V_p の急激な落ち込みを防ぐ。また、電池電圧 V_p が低くても、メインコンデンサ20の充電電圧 V_c が高い場合には、充電電圧 V_c が低い場合よりも上記スイッチ素子のオン時間を長くして充電時間を短縮する。



【特許請求の範囲】

【請求項 1】 フラッシュ発光用のメインコンデンサを充電するフラッシュ充電回路において、電池により一次コイルに入力された電圧を昇圧して二次コイルに出力する昇圧トランスと、上記一次コイル側の回路に設けられ、入力電圧をオンオフするスイッチ素子と、このスイッチ素子を周期的にオンオフ駆動することにより上記昇圧トランスに昇圧動作を行わせる昇圧制御手段と、上記二次コイル側の回路に設けられ、上記二次コイルを流れる電流を整流して上記メインコンデンサに供給する整流手段とを備えるとともに、電池電圧が予め設定された一定値未満の場合には電池電圧が上記一定値以上の場合よりも上記スイッチ素子のオン時間を短くするように上記昇圧制御手段を構成したことを特徴とするフラッシュ充電回路。

【請求項 2】 請求項 1 記載のフラッシュ充電回路において、上記電池電圧が上記一定値未満の場合であっても上記メインコンデンサの充電電圧が所定値以上の場合には充電電圧が所定値未満の場合よりも上記スイッチ素子のオン時間を長くするように上記昇圧制御手段を構成したことを特徴とするフラッシュ充電回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばカメラに用いられる電子閃光装置（以下、フラッシュという）の充電回路に関するものである。

【0002】

【従来の技術】 図 7 は、従来のフラッシュ充電回路の一例を示したものである。この回路は、昇圧トランス 100、電源電池 101、フラッシュ発光用のメインコンデンサ 102、FET (Field Effect Transistor) 103、及びダイオード 104 を備えている。上記 FET 103 のゲート G には、駆動制御回路 105 から一定周波数のパルス信号が入力され、これにより FET 103 が周期的にオン・オフすることにより、昇圧トランス 100 の一次コイル L1 への一次電圧 E1 の印加も周期的にオンオフされ、二次コイル L2 に交流二次電圧 Vf が誘起されるようになっている。

【0003】 この二次電圧 Vf により出力される交流二次電流 I2 は、上記ダイオード 104 により整流されてメインコンデンサ 102 に供給され、これによりメインコンデンサ 102 が間欠的に充電される。そして、このメインコンデンサ 102 の充電電圧 Vh が所定レベルに達した時点で、上記駆動制御回路 105 による上記パルス信号の出力が停止され、充電動作が終了する。

【0004】

【発明が解決しようとする課題】 上記充電回路において、電池が消耗してその電圧が比較的低下した状態では、急激な昇圧動作を行うと電池電圧が急激に落ち込み、カメラにおける他の回路への電源供給に支障が生ず

るおそれがある。このような電池電圧降下を防ぐには、FET 103 のオン時間を短く設定する（すなわち駆動制御回路 105 から FET 103 へ出力されるデューティ比を小さく設定する）ことが考えられるが、このような設定では常に充電時間が長くなり、素早い充電が全く不可能になる。

【0005】 なお、特公平 5-22891 号公報では、マイコン電圧や電池電圧が低い場合に昇圧回路を断続的に作動させ、断続充電を行うようにしたものが示されているが、この回路でも、電池電圧が最も低下しやすい充電開始時での電池電圧の落ち込みを効果的に防ぐことは困難である。

【0006】 本発明は、このような事情に鑑み、充電時間の短縮を図りながら電池電圧の落ち込みを未然に防止できるフラッシュ充電回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、フラッシュ発光用のメインコンデンサを充電するフラッシュ充電回路において、電池により一次コイルに入力された電圧を昇圧して二次コイルに出力する昇圧トランスと、上記一次コイル側の回路に設けられ、入力電圧をオンオフするスイッチ素子と、このスイッチ素子を周期的にオンオフ駆動することにより上記昇圧トランスに昇圧動作を行わせる昇圧制御手段と、上記二次コイル側の回路に設けられ、上記二次コイルを流れる電流を整流して上記メインコンデンサに供給する整流手段とを備えるとともに、電池電圧が予め設定された一定値未満の場合には電池電圧が上記一定値以上の場合よりも上記スイッチ素子のオン時間を短くするように上記昇圧制御手段を構成したものである（請求項 1）。

【0008】 ここで、上記電池電圧が上記一定値未満の場合であっても、上記メインコンデンサの充電電圧が所定値以上の場合には、充電電圧が所定値未満の場合よりも上記スイッチ素子のオン時間を長くするように上記昇圧制御手段を構成するのが、より好ましい（請求項 2）。この場合、電池電圧が一定値未満で上記メインコンデンサの充電電圧が所定値以上の時のスイッチ素子のオン時間は、電池電圧が一定値以上の時のスイッチ素子のオン時間と同等であってもよいし、異なってもよい。

【0009】

【作用】 請求項 1 記載の回路では、昇圧制御手段によるスイッチ素子のオン・オフ駆動により、昇圧トランスに印加される電池電圧が所定周期で断続され、これにより二次コイルに電池電圧よりも大きい電圧値を有する交流電圧が誘起される。この交流電圧により発生する電流は、整流手段により整流されてメインコンデンサに供給され、充電が行われる。

【0010】 ここで、上記電池電圧が一定値未満の場

合、すなわち電池電圧の落ち込みが生じやすい場合には、上記スイッチ素子のオン時間が短く設定され、充電速度が抑制されることにより、電池電圧の落ち込みが未然に防がれる。一方、電池電圧が一定値以上の場合、すなわち電池電圧の落ち込みが生じにくい場合には、上記スイッチ素子のオン時間が長く設定されることにより、充電時間が短縮される。

【0011】さらに、請求項2記載の回路によれば、電池電圧が一定値未満の場合であっても、充電電圧が既に所定値以上に達している場合、すなわち充電負荷が軽くて電池電圧の落ち込みが生じにくい場合には、上記スイッチ素子のオン時間が長く設定されることにより、さらに充電時間が短縮される。

【0012】

【実施例】本発明の第1実施例を図1～図4に基づいて説明する。

【0013】図1に示すフラッシュ充電回路は、昇圧トランス10を備え、その一次コイルL1の両端には一次コイル側回路C1が、二次コイルL2の両端には二次コイル側回路C2がそれぞれ接続されている。上記一次コイル側回路C1の途中には、MOS型FETからなる2つのスイッチ素子12、14が設けられ、両スイッチ素子12、14同士の間がアースされている。また、図略の電池により上記一次コイルL1へ電圧（電池電圧） V_p が印加されるようになっている。

【0014】なお、上記電池として、例えばカメラでは同カメラのメイン電源用の電池を利用すればよく、スイッチ素子12、14としては、上記MOS型FETの他、接合型FETやシリコントランジスタといった種々の半導体スイッチ素子等を代用してもよい。

【0015】上記二次コイル側回路C2の途中には、全波整流手段として、例えば4個のダイオードD1～D4からなるダイオードブリッジ回路16が設けられ、このダイオードブリッジ回路16の出力端とアースとの間に、ダイオード18及びフラッシュ充電用のメインコンデンサ20が設けられている。

【0016】上記電池電圧 V_p 、及びメインコンデンサ20による充電電圧 V_c は、それぞれA/Dコンバータ22、24を介してCPU（昇圧制御手段）26に入力されるようになっている。このCPU26は、FET12、14の各ゲートG1、G2に適宜パルス信号を入力することによりFET12、14をオンオフ駆動するとともに、上記各電圧 V_p 、 V_c に応じて次のような制御を行うように構成されている。

a) 電池電圧 V_p が予め設定された一定値 V_{po} 未満であり、かつ、充電電圧 V_c が所定値 V_{co} 未満である場合：FET12のゲートG1にのみパルス信号を出力してFET12のみをオンオフ駆動する、いわゆるシングル制御を行う。

b) 電池電圧 V_p が上記一定値 V_{po} 以上である場合、も

しくは充電電圧 V_c が上記所定値 V_{co} 以上である場合：両FET12、14のゲートG1、G2に対し、図2に示すように相互位相を逆にして（すなわち一方の信号がオンの時に他方の信号をオフにしながら）パルス信号を出力し、FET12、14をオンオフ駆動する、いわゆるプッシュプル制御を行う。次に、この回路の作用を説明する。

【0017】フラッシュ充電の指令が入力された時点で、電池の消耗が少なく電池電圧 V_p が一定値 V_{po} 以上である場合には、CPU26は、デューティ比50%で一定設定周波数のパルス列信号を生成し、相互位相を反転してFET12、14の各ゲートG1、G2に出力する。これにより、FET12、14は交互にオン・オフ駆動される。

【0018】すなわち、FET12がオンの期間では、FET14がオフとされるので、この期間では一次コイルL1からFET12に向かう方向に一次電流 i_1 が流れる。このため、二次コイルL2には同コイルL2からダイオードD1、D2同士の接続点へ二次電流 I_1 を流す向きの二次電圧が誘起され、上記二次電流 I_1 はダイオードブリッジ回路16で全波整流されてからメインコンデンサ20に入力される。

【0019】一方、FET12がオフの期間では、FET14がオンとされるので、この期間では一次コイルL1からFET14に向かう方向に一次電流 i_2 が流れる。このため、二次コイルL2には同コイルL2からダイオードD3、D4同士の接続点へ二次電流 I_2 を流す向きの二次電圧が誘起され、上記二次電流 I_2 はダイオードブリッジ回路16で全波整流されてからメインコンデンサ20に入力される。

【0020】従って、FET12、14が交互にオン・オフ駆動されることにより、二次コイルL2の両端に正負の二次電圧が交互に誘起され、この二次電圧により発生する二次電流 I_1 、 I_2 はダイオードブリッジ回路16により全波整流されて連続的にメインコンデンサ20に供給される。これら二次電流 I_1 、 I_2 の連続供給によりメインコンデンサ20に電荷が蓄積され、その充電電圧 V_c が素早く増加する。そして、この充電電圧 V_c が所定の最終電圧に達した時点で、CPU26は、充電が完了したと判断してパルス信号の出力を停止し、充電動作を終了する。

【0021】これに対し、上記フラッシュ充電指令の入力時点でかなり電池が消耗されており、電池電圧 V_p が一定値 V_{po} 未満である場合には、CPU26は、デューティ比50%で一定設定周波数のパルス列信号をFET12のゲートG1にのみ出力する。これにより、FET12のみがオンオフ駆動され、FET14はオフ状態に維持される。

【0022】従ってこの場合には、FET12のオン期間にのみ二次コイルL2に二次電圧が誘起され、メイン

10

20

30

40

50

コンデンサ 20 での充電が行われる。このようなシングル制御により、FET 12, 14 を交互にオンオフするプッシュプル制御に比べて充電速度が抑えられ、急激な昇圧動作による電池電圧 V_p の落ち込みが防がれる。

【0023】このようにして充電がゆっくり行われるうち、充電電圧 V_c が上記最終電圧よりも低い所定電圧 V_{co} に到達した時点、すなわち、充電負荷がかなり軽減されて電池電圧 V_p の落ち込みが生じにくくなった時点で、CPU 26 はシングル制御から上記プッシュプル制御に切り換え、メインコンデンサ 20 への充電速度をアップする。そして、上記最終電圧に達した時点でパルス信号の出力を停止し、充電動作を終了する。

【0024】以上のように、この実施例の回路は、原則として、電池電圧 V_p が一定値 V_{po} 未満の場合、すなわち比較的電池電圧 V_p の落ち込みが発生しやすい場合には、いわゆるシングル制御を行って両 FET 12, 14 の総合オン時間を減らす一方、電池電圧 V_p が一定値 V_{po} 以上の場合、すなわち比較的電池電圧 V_p の落ち込みが生じにくい場合には、いわゆるプッシュプル制御を行って両 FET 12, 14 の総合オン時間を長くするよう

にしたものである。電池電圧 V_p が比較的高い状態で充電時間の短縮を図りながら、電池電圧 V_p が比較的低いときの該電池電圧 V_p の落ち込みを未然に防ぐことができる。

【0025】さらに、上記電池電圧 V_p が上記一定値 V_{po} 未満の場合であっても、上記メインコンデンサ 20 の充電電圧 V_c が所定値 V_{co} 以上の場合、すなわち充電負荷が比較的軽い状態にある場合には、上記プッシュプル制御を行って両 FET 12, 14 の総合オン時間を長く

確保するようにしているので、充電時間をより短縮することが可能となっている。

【0026】図 4 は、電池電圧 V_p が一定値 V_{po} 未満の場合において、図 3 に示すように、充電電圧 V_c が 0 から所定値 V_{co} (<最終電圧) に至る時点 t_o までの期間ではシングル制御を行い、上記時点 t_o 以降はプッシュプル制御を行った時の電池電圧 V_p の時間変化を実線で示したものである。この図に示されるように、上記時点 t_o に至るまでの期間はシングル制御を行うことにより、同期間でプッシュプル制御を行う場合（図 4 に二点鎖線で図示）よりも充填開始時の電池電圧 V_p を ΔV だけ高く維持することが可能となっている。

【0027】次に、第 2 実施例を図 5 に基づいて説明する。この実施例では、前記第 1 実施例で示した FET 14 を省略し、FET 12 のみをオンオフ駆動するシングル制御を常時実行するとともに、電池電圧 V_p が一定値未満の場合には比較的低いデューティ比（例えば 33%）のパルス信号をゲート G1 に出力し、電池電圧 V_p が上記一定値以上の場合には比較的高いデューティ比（例えば 50%）のパルス信号をゲート G1 に出力するように、CPU 26 が構成されている。

【0028】このようにデューティ比の設定で FET のオン時間を変化させることにより、シングル制御であっても、電池電圧 V_p の落ち込みを防ぎながら充電時間の短縮化を図るという効果を得ることが可能である。

【0029】また、常時 FET 12, 14 のプッシュプル制御を行う場合でも、第 3 実施例として図 6 に示すように、電池電圧 V_p が一定値以上の場合には同図 (a) のように各ゲート G1, G2 へのパルス信号のデューティ比を大きく設定し、電池電圧 V_p が一定値未満の場合には同図 (b) のように各ゲート G1, G2 へのパルス信号のデューティ比を小さく設定することにより、前記第 1 実施例及び第 2 実施例と同様の効果を得ることが可能である。

【0030】また、前記第 2 実施例及び第 3 実施例においても、前記第 1 実施例と同様、充電電圧 V_c が比較的高い場合には同電圧 V_c が低い場合よりもデューティ比を高めることにより、充電時間をさらに短縮できることは、いうまでもない。この場合、電池電圧 V_p が低くかつ充電電圧 V_c が高い場合のデューティ比は、電池電圧 V_p が高い場合のデューティ比と必ずしも一致していなくても良く、これらの場合のデューティ比を、電池電圧 V_p 及び充電電圧 V_c の双方が低い場合のデューティ比よりも大きく設定しさえすればよい。

【0031】

【発明の効果】以上のように本発明は、昇圧トランスの一次コイル側回路にスイッチ素子を設け、このスイッチ素子のオンオフ駆動により上記昇圧トランスの二次コイル側回路に二次電圧を発生させてフラッシュ発光用のメインコンデンサを充電するとともに、電池電圧が一定値未満の場合、すなわち比較的電池電圧の落ち込みが発生しやすい場合には、電池電圧が一定値以上の場合、すなわち比較的電池電圧の落ち込みが生じにくい場合よりも上記スイッチ素子のオン時間を短くするようにしたので、充電時間の短縮を図りながら電池電圧の落ち込みを未然に防ぐことができる効果がある。

【0032】さらに、請求項 2 記載の回路では、上記電池電圧が上記一定値未満の場合であっても、上記メインコンデンサの充電電圧が所定値以上の場合、すなわち充電負荷が比較的軽い状態にある場合には、充電電圧が上記所定値未満の場合よりも上記スイッチ素子のオン時間を長くするようにしているので、さらに充電時間を短縮できる効果がある。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例におけるフラッシュ充電回路を示す回路図である。

【図 2】上記実施例において各ゲートに出力されるパルス信号を示す波形図である。

【図 3】上記実施例における充電電圧の時間変化を示すグラフである。

【図 4】上記実施例における電池電圧の時間変化を示す

グラフである。

【図5】本発明の第2実施例におけるフラッシュ充電回路を示す回路図である。

【図6】(a)は本発明の第3実施例において電池電圧が高い場合に各ゲートに出力されるパルス信号の波形図、(b)は同実施例において電池電圧が低い場合に各ゲートに出力されるパルス信号の波形図である。

【図7】従来のフラッシュ充電回路の一例を示す回路図である。

【符号の説明】

* 10 昇圧トランス

12, 14 FET

16 ダイオードブリッジ回路(整流手段)

20 メインコンデンサ

22, 24 A/Dコンバータ

26 CPU(昇圧制御手段)

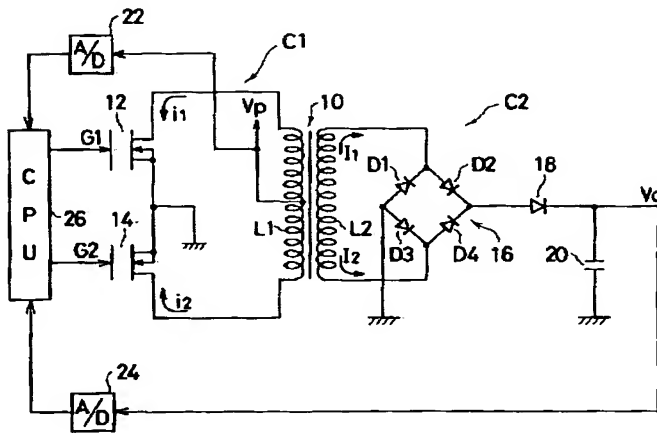
C1 一次コイル側回路

C2 二次コイル側回路

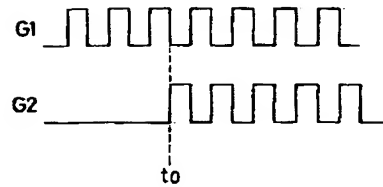
L1 一次コイル

* 10 L2 二次コイル

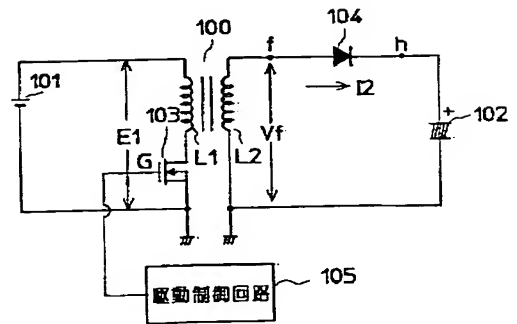
【図1】



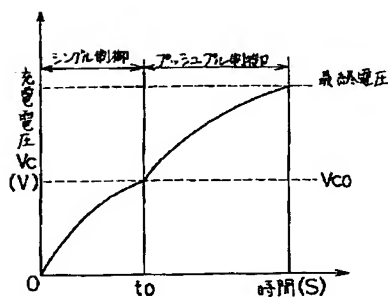
【図2】



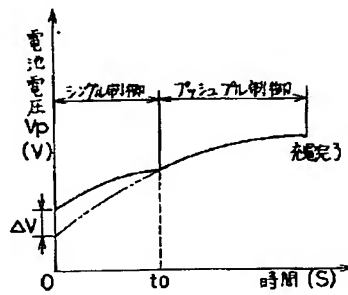
【図7】



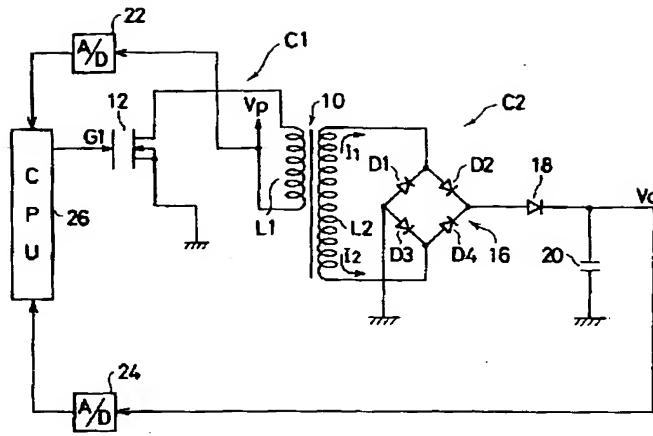
【図3】



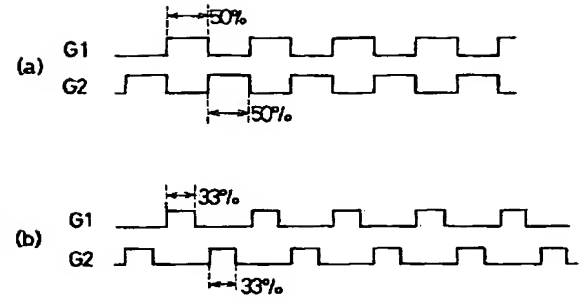
【図4】



【図5】



【図6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.